

## DELPHION

No active trail

[Select CR](#)[Stop Tracking](#)[RESEARCH](#)[PRODUCTS](#)[INSIDE DELPHION](#)[Log Out](#) [Work Files](#) [Saved Searches](#)[My Account](#)Search: [Quick/Number](#) [Boolean](#) [Advanced](#) [Derwent](#)[Help](#)

## The Delphion Integrated View

Get Now: ☒ PDF | [More choices...](#)Tools: Add to Work File: [Create new Work File](#) [Add](#)View: [INPADOC](#) | Jump to: [Top](#) | [Go to: Derwent](#)[Email this to a friend](#)Title: **JP05327502A2: PREADDER**Derwent Title: Pre-adder with reduced sampling frequency - reduces digital data which has been converted in sampling frequency higher than maximum frequency component of original analog signal NoAbstract ([Derwent Record](#))

Country: JP Japan

Kind: A

Inventor: MIYOSHI TAKETO;

Assignee: FUJITSU LTD  
[News, Profiles, Stocks and More about this company](#)

Published / Filed: 1993-12-10 / 1992-05-20

Application Number: JP1992000126581

IPC Code: H03M 1/12; H03H 17/02;

Priority Number: 1992-05-20 JP1992000126581

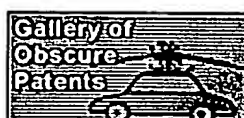
Abstract: PURPOSE: To improve the ratio of a significant signal to a random noise at the same data position, and to improve an S/N by operating the cumulative addition of 2N pieces of repeat data by an adder and a shift register.

CONSTITUTION: An adder 1 outputs input data, and a shift register 2 fetches the output by a shift signal from a timing controller 5. The register 2 operates a shift operation by the shift signal of the next repeat period, operates the cumulative addition of three pairs of corresponding data of a first frame and a second frame, and fetches the data. Afterwards, the data are successively inputted, the cumulative additional value outputted by the register 2 are added to the newly inputted data at each repeat period, and a 24 addition is operated. The result is inputted to a barrel shifter 3, the cumulative additional data from which the maximum 12 bit width can be obtained by the 24 addition of 8 bit data are 4 bit-shifted to a low-order direction, a 24 division is operated, and a mean value is searched, normalized, and outputted. An output register 4 holds and outputs the mean value data by the three output signals outputted from the controller 5.

COPYRIGHT: (C)1993,JPO&amp;Japio

Family: None

Other Abstract Info: DERABS G94-020646 DERG94-020646

[Nominate](#)[this for the Gallery...](#)

THOMSON

Copyright © 1997-2005 The Thomson Corporation

[Subscriptions](#) | [Web Seminars](#) | [Privacy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact Us](#) | [Help](#)

BEST AVAILABLE COPY



(19)

(11) Publication number:

05327502 A

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 04126581

(51) Intl. Cl.: H03M 1/12 H03H 17/02

(22) Application date: 20.05.92

(30) Priority:

(43) Date of application publication: 10.12.93

(84) Designated contracting states:

(71) Applicant: FUJITSU LTD

(72) Inventor: MIYOSHI TAKETO

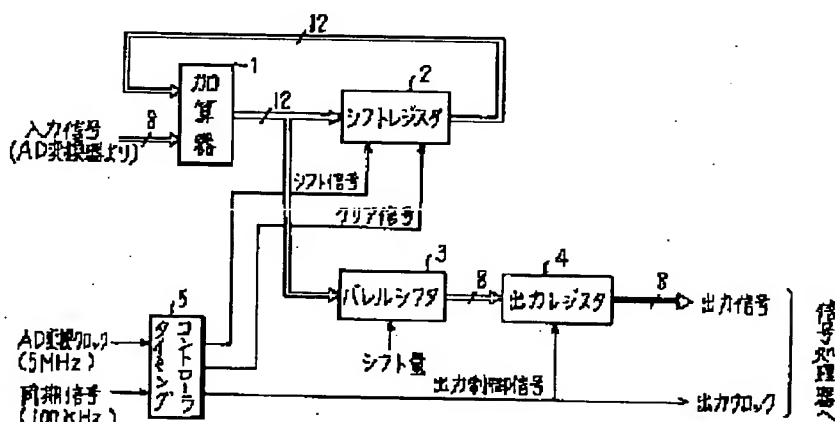
(74) Representative:

## (54) PREAMBLE

(57) Abstract:

**PURPOSE:** To improve the ratio of a significant signal to a random noise at the same data position, and to improve an S/N by operating the cumulative addition of 2N pieces of repeat data by an adder and a shift register.

**CONSTITUTION:** An adder 1 outputs input data, and a shift register 2 fetches the output by a shift signal from a timing controller 5. The register 2 operates a shift operation by the shift signal of the next repeat period, operates the cumulative addition of three pairs of corresponding data of a first frame and a second frame, and fetches the data. Afterwards, the data are successively inputted, the cumulative additional value outputted by the register 2 are added to the newly inputted data at each repeat period, and a 24 addition is operated. The result is inputted to a barrel shifter 3, the cumulative additional data from which the maximum 12 bit width can be obtained by the 24 addition of 8 bit data are 4 bit-shifted to a low-order direction, a 24 division is operated, and a mean value is searched, normalized, and outputted. An output register 4 holds and outputs the mean value data by the three output signals outputted from the controller 5.



COPYRIGHT: (C)1993,JPO&amp;Japio

特開平5-327502

(43)公開日 平成5年(1993)12月10日

(51)Int. Cl. <sup>5</sup>

H03M 1/12

H03H 17/02

識別記号

C 9065-5J

D 7037-5J

F I

審査請求 未請求 請求項の数2 (全6頁)

(21)出願番号 特願平4-126581

(22)出願日 平成4年(1992)5月20日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 三好 壮人

神奈川県川崎市中原区上小田中1333番地

株式会社富士通システム統合研究所内

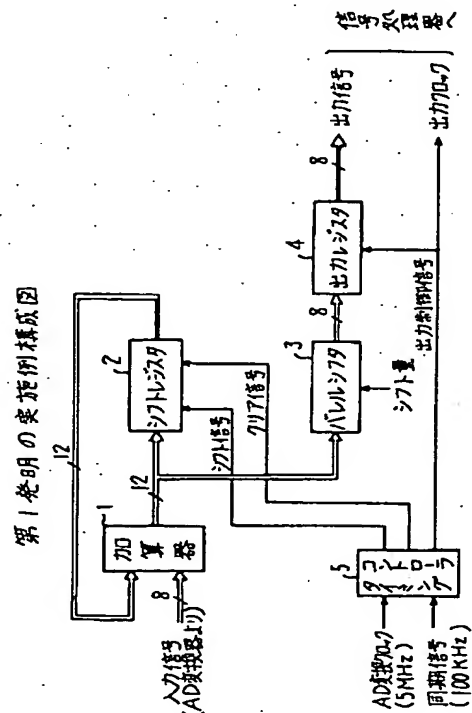
(74)代理人 弁理士 井桁 貞一

(54)【発明の名称】前置加算器

(57)【要約】 (修正有)

【目的】 原アナログ信号の最高周波数成分より必要以上に高いサンプリング周波数MでA/D変換されたデジタルデータを $1/2^n$ に減減して、後段のデジタル信号処理部の低速化を図る。S/N比を劣化させずにサンプリング周波数を減減し、さらに、伝達関数の周波数特性における等化的サンプリング周波数とナイキスト周波数との間の成分を抑圧する。

【構成】 入力データとそれまでの累積加算値とを加算して新たな累積加算値を出力する加算器1と、加算器1からの累積加算値が入力し、入力した累積加算値のうちの指定データに対応するものだけを取込み、入力繰返し周期だけ遅延させてそれまでの累積加算値として加算器1に出力し、入力繰返し周期の $2^n$ 倍の周期でクリアされるシフトレジスタ2と、加算器1が出力する累積加算データを加算回数 $2^n$ に対応する桁数Nだけ下位ビット側へシフトして平均値正規化して出力するパレルシフタ3とを有する。



## 【特許請求の範囲】

【請求項1】 入力繰返し周波数Mで繰返し入力するA個の直列データ列を、出力繰返し周波数 $M/2^N$ （Nは整数）を有する指定されたB個の直列データ列に変換して出力する前置加算器であって、

入力データとそれまでの累積加算値とを加算して新たな累積加算値を出力する加算器(1)と、

該加算器(1)からの累積加算値が入力し、該入力した累積加算値のうちの指定データに対応するものだけを取込み、繰返し周期 $1/M$ だけ遅延させてそれまでの累積加算値として前記加算器(1)に出力し、入力繰返し周期 $1/M$ の $2^N$ 倍の周期でクリアされるB段のシフトレジスタ(2)と、

前記加算器(1)が出力する累積加算値を加算回数 $2^N$ に対応する桁数Nだけ下位ビット側へシフトして平均値正規化して出力するバレルシフタ(3)と、

$2^N$ 回加算後のバレルシフタ(3)の出力を取込み出力する出力レジスタ(4)と、

を有することを特徴とする前置加算器。

【請求項2】 請求項1記載の前置加算器を2系統有し、両系統間で出力繰返し周波数の位相を $180^\circ$ 異ならしめて、全体の出力繰返し周波数を $M/2^{N-1}$ としたことを特徴とする前置加算器。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、原アナログ信号の最高周波数成分より必要以上に高いサンプリング周波数でA/D変換されたデジタルデータを $1/2^N$ に遅減して、入力信号の帯域に見合ったサンプリング周波数のデータに変換して、後段のデジタル信号処理部の低速化を図る前置加算器に関する。

【0002】 画像信号の垂直方向や、レーダ信号の等距離のデータに対してフィルタリング等のデジタル信号処理を行う場合、その信号の帯域幅が、予め定まっている繰返し周波数（水平同期周波数、送信パルス繰返し周波数）に比べて狭い場合、デジタル信号処理部に入力するデジタル信号の帯域幅を減らすことによって、低速のデジタル信号処理器を使用することができる。

## 【0003】

【従来の技術】 従来の信号処理装置においては、画像信号における水平同期周波数やレーダ装置における送信繰返し周波数等が予め一定値に固定されている場合には、このサンプリング周波数で画像データや受信データが得られる。ところが、データの時間的変化の速度が遅い場合、即ち信号の周波数帯域がサンプリング周波数に比べて大幅に狭い場合には、このサンプリング周波数でA/D変換して得られたデータ量ではデータ量が多すぎるため、サンプリング周波数を等化的に減らして、信号処理部に入力するデータ量を減らすことが行われる。これには、データの間引き、つまりN回のサンプルデータに

対して1回の割合で信号処理部にデータを入力する方法がとられていた。

## 【0004】

【発明が解決しようとする課題】 ところが、上記間引きによるデータ削減法によるとSN比が劣化し、SN比が大きくなることが大切であるレーダ信号等を扱う装置では問題が生じる。

【0005】 これを避けるため取得した全てのデータを直接に信号処理部に入力するには信号処理部の高速化が必要であり、高コストになるという問題がある。本発明は上記問題点に鑑み創出されたもので、入力信号が有する帯域幅に最適な規模、速度のデジタル信号処理部で処理可能にするため、SN比を劣化させずにデジタル信号処理部に入力するデータの等化的サンプリング周波数を遅減できる前置加算器を提供すること、さらに伝達関数の周波数特性における等化的サンプリング周波数とナイキスト周波数との間の成分を抑圧できる改良された前置加算器を提供することを目的とする。

## 【0006】

【課題を解決するための手段】 図1は本発明の前置加算器の原理構成図である。上記課題を解決するうために、本発明の前置加算器は、入力繰返し周波数Mで繰返し入力するA個の直列データ列を、出力繰返し周波数 $M/2^N$ （Nは整数）を有する指定されたB個の直列データ列に変換して出力する前置加算器であって、入力データとそれまでの累積加算値とを加算して新たな累積加算値を出力する加算器1と、該加算器1からの累積加算値が入力し、該入力した累積加算値のうちの指定データに対応するものだけを取込み、繰返し周期 $1/M$ だけ遅延させてそれまでの累積加算値として前記加算器1に出力し、入力繰返し周期 $1/M$ の $2^N$ 倍の周期でクリアされるB段のシフトレジスタ2と、前記加算器1が出力する累積加算データを加算回数 $2^N$ に対応する桁数Nだけ下位ビット側へシフトして平均値正規化して出力するバレルシフタ3と、 $2^N$ 回加算後のバレルシフタの出力を取込み出力する出力レジスタ4と、を有する構成であり、さらに、上記の前置加算器を2系統有し、両系統間で出力繰返し周波数の位相を $180^\circ$ 異ならしめて、全体の出力繰返し周波数を $M/2^{N-1}$ とした構成である。

## 【0007】

【作用】 加算器とシフトレジスタとで $2^N$ 個の繰返しデータの累積加算を行うので同じデータ位置にある有意信号とランダムノイズとの比が増加し、データ間引きによる従来技術に比べてSN比が向上する。

【0008】 また第二発明においては、各系統の前置加算器はそれぞれ全体の出力繰返し周波数 $F'$ の2倍の周期分の入力データの平均値をとることになるので、 $F'$ に対して入力データのナイキスト周波数（原信号に含まれる伝達可能な最高周波数）は出力繰返し周波数の $1/2$ となり、出力繰返し周波数とナイキスト周波数との間

に含まれる不要信号をある程度抑圧できる。

【 0 0 0 9 】

【実施例】以下添付図により本発明の実施例を説明する。図 2 は本発明が適用されるレーダ信号処理装置のブロック図、図 3 は第一発明の実施例構成図、図 4 は図 3 の動作タイムチャート、図 5 は第二発明の実施例構成図、図 6 は図 5 の動作タイムチャート、図 7 は本発明の前置加算器の伝達関数周波数特性である。なお、全図を通じて、同一符号は同一対象物を表す。

【 0 0 1 0 】まず図 2 により、この実施例の用途を説明する。本実施例の前置加算器は、図 2 のドップラレーダ装置（移動体検出装置）に用いられるものである。このレーダ装置はキャリア周波数 1 0 G H z、パルス繰返し周波数 1 0 0 K H z、パルス幅 0.2 μ s のレーダパルスを用いて時速 1 0 0 K m 以下の移動目標を検出するものである。従って、この時のドップラ周波数偏移は 4 0 0 0 H z となるので取得したレーダ信号の繰返し方向に対する帯域は 4 0 0 0 H z の帯域があればよく、フィルタリング等のデジタル信号処理を行う後段の信号処理部に 20 入力するデータの繰返し周期は 4 K H z 以上あれば必要な情報が得られることになる。

【 0 0 1 1 】ドップラレーダ受信器 6 は、1 0 0 K H z の繰返し周波数でアナログビデオ信号を出力する。A D 変換器 7 は、距離分解能に対応する 5 M H z のサンプリングクロックによって、該アナログ映像信号を A D 変換した 1 スイープ当たり 5 0 個の 8 ビットパラレルデータを出力する。前置加算器 8 は、A / D 変換器 7 とデジタルフィルタ 9 との間に挿入され、A D 変換後の繰返し周波数 1 0 0 K H z の入力データに 1 6 回の加算を行って 30 データを圧縮し、目標移動体の位置の前後領域を含む 3 個のデジタルデータに変換して、出力繰返し周波数 6.2 5 K H z で出力する。デジタルフィルタ 9 は移動していないことを示す 0 H z 付近の信号成分を抑圧して目標移動体に対応するデータのみを出力する。

【 0 0 1 2 】次に図 3、図 4 により第一発明の前置加算器を説明する。なお図 4 は図 3 におけるタイミングコントローラが生成する各種制御信号のタイミング関係を示すものである。

【 0 0 1 3 】図 3 において、1 は 8 ビットの加算器、2 は 8 ビットパラレル、3 段のシフトレジスタ、3 はパ 40 レルシフタ、4 は 8 ビットの出力レジスタ、5 はタイミングコントローラである。

【 0 0 1 4 】加算器 1 には、前段の A D 変換器が出力する繰返し周波数 1 0 0 k H z で 5 0 個直列の 8 ビット幅データと、シフトレジスタ 2 の出力する累積加算データとが入力して、両データを加算して 12 ビット幅のデータを出力する。シフトレジスタは 12 ビット幅 3 段の構成であり、タイミングコントローラ 5 からのシフト信号により加算器 1 の出力を取り込む。タイミングコントローラ 5 には、レーダ信号のパルス繰返し周波数に同期した 1 50

0 0 K H z の同期信号と、1 スイープのレーダ映像信号を距離分解能に対応してサンプリングしている A D 変換クロック（= 1 0 0 K H z × 5 0 = 5 M H z）とが入力し、目標移動体の位置の前後を含む 3 データの入力タイミングに同期して 3 発のシフトクロックを出力する。シフトレジスタは、タイミングコントローラ 5 から 1 6 周期毎に出力するクリア信号によって加算の最初にクリアされているので、最初の繰返し周期（フレーム）では、シフト信号によってシフトレジスタ 1 から 0 が出力し、加算器 1 は入力データをそのまま出力し、シフトレジスタ 2 はシフト信号によりその出力を取り込む。シフトレジスタ 2 は、次の繰返し周期のシフト信号によりシフト動作を行い、前フレームで保持した 3 個のデータを順次出力し、加算器はそのタイミングで入力する着目距離近傍の 3 個のデータをシフトレジスタ 2 の出力に加算して出力する。つまり、1 フレーム目と 2 フレーム目の対応する 3 組のデータの累積加算が行われ、シフトレジスタ 2 に取り込まれる。以後データが順次入力して、各繰返し周期毎にシフトレジスタ 2 が出力する累積加算値と新たに入力するデータとが加算されて 1 6 回（= 2'）の加算が行われる。加算結果のデータはパレルシフタ 3 に入力しており、パレルシフタ 3 は 8 ビットデータの 1 6 回加算により最大 1 2 ビット幅となる累積加算データを下位方向に 4 ビットシフトすることにより加算回数 1 6（= 2'）で割り算して平均値を求めデータを正規化し、8 ビットデータを出力する。なおこのパレルシフタのシフト量は、加算回数の 2 の対数となるので、このシフト量制御信号で変更可能に構成することにより、加算回数 40 が変えられるようになっている。

【 0 0 1 5 】出力レジスタは最後の 1 6 フレーム目毎にコントローラ 5 が出力する 3 発の出力制御信号により 1 6 回加算後の平均値データを取込んで保持し、後段の信号処理部に出力する。

【 0 0 1 6 】以上説明した如く、本発明の前置加算器により毎秒 5 百万個の入力データは、毎秒 1 8 0 0 個（= 3 × 6.25 K）程度に圧縮され、さらにデータ数を一個にすれば毎秒 6 0 0 0 個程度に圧縮されるので、後段のフィルタリング処理に高速高価な専用のデジタル信号処理装置の代わりに、安価な汎用マイクロコンピュータを使用するとが可能となる。

【 0 0 1 7 】次に、図 5、図 6、図 7 により第二発明の実施例を説明する。この実施例は、第一発明の効果をさらに向上させるため、第一発明の前置加算器を 2 系統用いて、両系統が交互に加算平均データを出力するようにしたものである。即ち、図 7 の点線で示すように、1 系統だけで構成する第一発明の前置加算器では、入力繰返し周波数  $f_s$  のデータを、例えば 4 繰返し分ずつ加算して 1/4 遅延して出力繰返し周波数  $f_s / 4$  の出力データに変換すると入力データの通過帯域がナイキスト周波数  $f_{\text{neq.}}$ （出力繰返し周波数の 1/2）以上にわたって

なだらかに広がっしまい、この領域に不要な信号がある場合に効果的に除去できない。そこで第二発明はこの点をさらに改良するものである。

【0018】このため、第二発明では、2系統の前置加算器から交互に加算平均値を出力するようにし、全体の出力繰返し周波数を2倍とすることによって、1系統の場合に比べて加算回数を倍増し図7のbに示す如く通過帯域を出力繰返し周波数の $1/2$ に抑圧するものである。

【0019】図4において、1a, 1b はそれぞれa系統、b系統の前置加算器の加算器、以下同様に2a, 2b はシフトレジスタ、3a, 3b はバレルシフタ、4a, 4b は出力レジスタであり、図3と同様の動作をする。5' は両系統に共通なタイミングコントローラ、10は出力切替スイッチである。

【0020】図を簡単にするために、本実施例では、1系統あたり4回の加算平均を行い全体の出力繰返し周波数を入力繰返し周波数の $1/2$ にする例について説明する。タイミングコントローラ5' は、繰返し周期ごとに所望データのタイミングでシフト信号を生成して両系のシフトレジスタに同じものを供給する。そして、入力同期信号（入力繰返し周期の区切りを示す）の2周期ごとにクリア信号をa系とb系に交互に出力する。これにより、a系と、b系はそれぞれ2フレームずれた入力データを4回ずつ加算平均することになり、タイミングコン

トローラ5'からの出力切替信号によって、切替スイッチを2フレームごとに切り替えることにより、a系とb系とが交互に出力する。

【0021】

【発明の効果】以上説明した如く本発明の前置加算器によれば、比較的簡単な回路素子の組合せで、SN比を劣化させることなくサンプリング周波数の通降ができ、またナイキス周波数以上の成分が抑圧されるので後段のフィルタリング処理を効果的に行うことが可能となり、レーダ信号処理装置等のコストダウン、高性能化に寄与するところがおおきい。

【図面の簡単な説明】

【図1】 本発明の前置加算器の原理構成図

【図2】 本発明が適用されるレーダ信号処理装置のブロック図

【図3】 第1発明の実施例構成図

【図4】 図3の動作タイムチャート

【図5】 第2発明の実施例構成図

【図6】 図5の動作タイムチャート

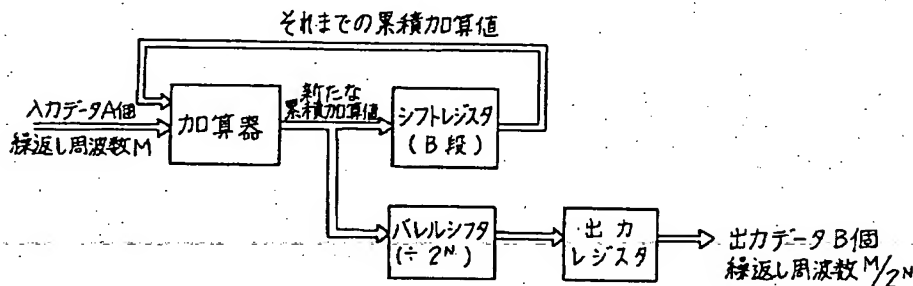
【図7】 本発明の前置加算器の伝達関数周波数特性

【符号の説明】

1, 1a, 1b ……加算器、2, 2a, 2b ……シフトレジスタ、3, 3a, 3b ……バレルシフタ、4, 4a, 4b ……出力レジスタ、5, 5' ……タイミングコントローラ、8 ……前置加算器

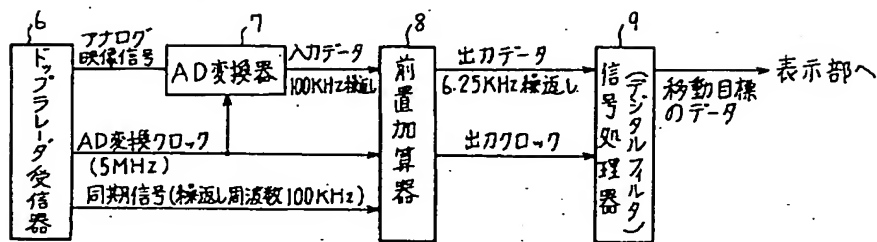
【図1】

本発明の前置加算器の原理構成図



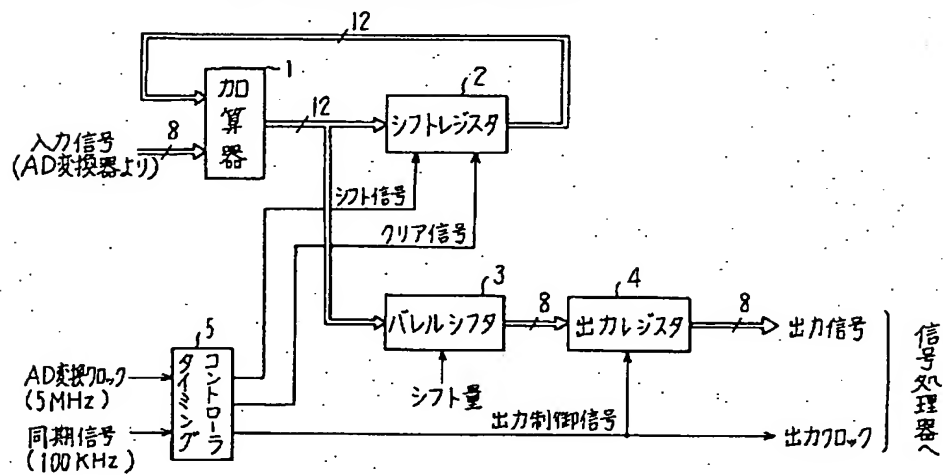
【図 2】

本発明が適用されるレーダ信号処理装置のブロック図



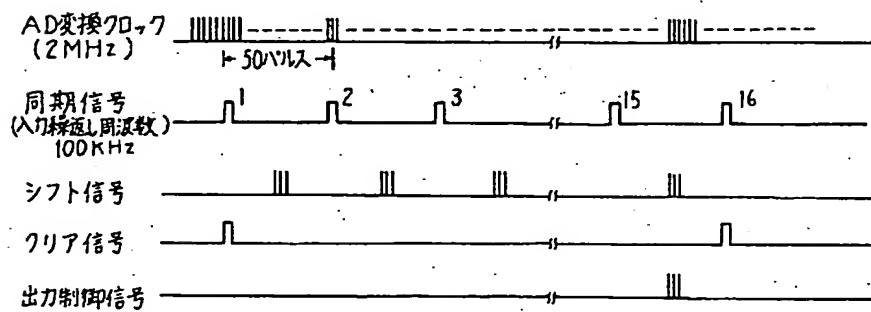
【図 3】

第 1 発明の実施例構成図



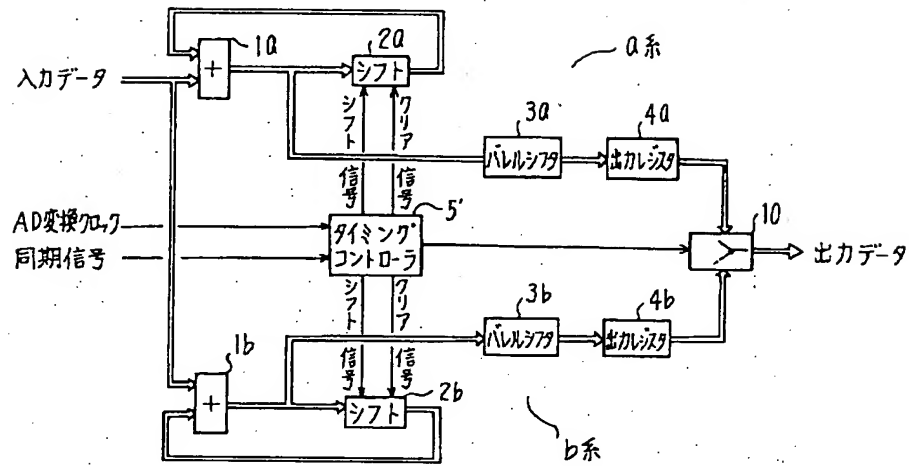
【図 4】

図 3 の動作タイムチャート



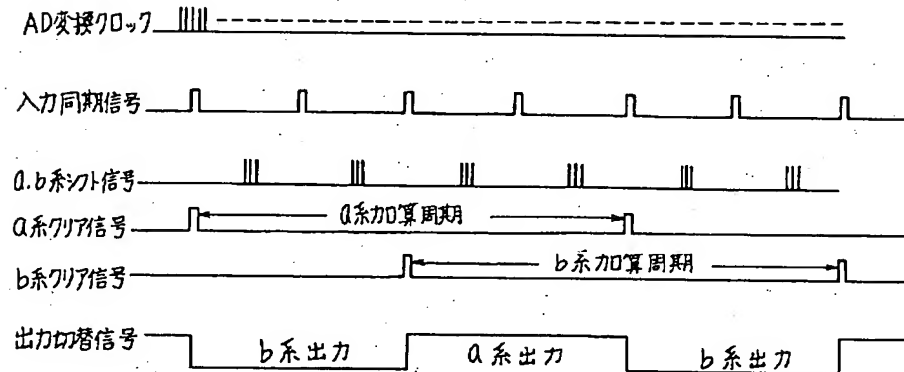
【図5】

## 第2発明の実施例構成図



【図6】

## 図5の動作タイムチャート



【図7】

## 本発明の前置加算器の伝達関数周波数特性

